

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 01284132 A

(43) Date of publication of application: 15 . 11 . 89

(51) Int. Cl. H04L 7/08  
H03L 7/08  
H04J 3/07

(21) Application number: 63114285

(22) Date of filing: 11 . 05 . 88

(71) Applicant: FUJITSU LTD

(72) Inventor: KOSUGI TORU  
FURUKAWA TAKAHIRO  
NOZAWA AKIRA

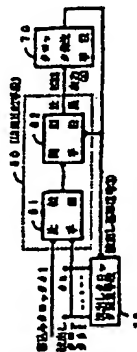
## (54) PHASE COMPARISON CIRCUIT

## (57) Abstract:

**PURPOSE:** To prevent a control error from being given to a clock generating means by providing a synchronizing means to restrict a compared result output to be outputted from a comparing means by a read reference signal to be outputted from the clock generating means.

**CONSTITUTION:** The write clock  $\phi_{W1}$  of a first phase of timing for writing data in the memory of a first stage and the read clock  $\phi_{R1}$  of the first phase of the timing for reading the data from the memory of the first stage are phase-compared by a comparing means 81, and the compared result output is restricted by the timing of the read reference signal  $\phi_{R2}$  for accessing a read clock generating means 30 to be outputted from the clock generating means 70 by the synchronizing means 82. Thus, the phase relative position of a read clock against a write clock can be always maintained at a fixed position regardless of both the number of memory stages and the duty factor of the clock to be standard and besides, without giving the control error to the clock generating means 70.

COPYRIGHT: (C) 1989, JPO &amp; Japan



BEST AVAILABLE COPY

⑤ 日本国特許庁(JP)

⑥ 特許出願公開

⑦ 公開特許公報(A) 平1-284132

⑧ Int. Cl.

⑨ 発明の名称

⑩ 特 願 昭63-114205

⑪ 公開 平成1年(1989)11月15日

H 04 L 7/08  
H 03 L 7/08  
H 04 J 3/07

⑫ 発明の要約  
A-6914-5K  
Z-8731-5J  
6914-5K審査請求 未請求 請求項の枚数 1 (全7頁)

⑬ 発明の名称 位相比較回路

⑭ 特 願 昭63-114205

⑮ 出 願 昭63(1988)5月11日

⑯ 発 明 者 小 杉 亨 栃木県小山市城東3丁目28番1号 富士通デジタル・テクノロジー株式会社内

⑰ 発 明 者 古 川 隆 弘 栃木県小山市城東3丁目28番1号 富士通デジタル・テクノロジー株式会社内

⑱ 発 明 者 野 澤 晃 栃木県小山市城東3丁目28番1号 富士通デジタル・テクノロジー株式会社内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 橋 貞一

要 約

ことを特徴とする位相比較回路。

1. 発明の名称

位相比較回路

1. 発明の要約

(要 約)

データの書き込みクロックと読み出しクロックの位相比較結果により、所定自発発振周波数を有して所定速度のクロックを発生するフェーズロックループの出力を制御する位相比較回路に関し、

メモリ回路にも基準となるクロックのデューティファクタにも関係せずともクロック発生回路に対して感度をかけることがない位相比較回路を実現することを目的とし、

所定自発発振周波数を有するフェーズロックループからなるクロック発生手段(10)から出力する読み出しクロック発生手段(30)をアタクセスするための所定速度の読み出し基準信号(40)にて位相比較手段(81)から出力する比較結果出力を打ち直す同期手段(42)とを備える

1. 特許請求の範囲

所定自発発振周波数を有するフェーズロックループからなるクロック発生手段(10)から出力する読み出しクロック発生手段(30)をアタクセスするための所定速度の読み出し基準信号(40)にて位相比較手段(81)から出力する比較結果出力を打ち直す同期手段(42)とを備える

所定自発発振周波数を有するフェーズロックループからなるクロック発生手段(10)から出力する読み出しクロック発生手段(30)をアタクセスするための所定速度の読み出し基準信号(40)にて位相比較手段(81)から出力する比較結果出力を打ち直す同期手段(42)とを備える

フェーズロックループからなるクロック発生手段から出力する既出しクロック発生手段をアクセスするための所定速度の既出し基準信号にて前記比較手段から出力する比較結果出力を打ち直す同期手段とを施す構成とする。

#### (産業上の利用分野)

本発明は、データの書き込みクロックと既出しクロックの位相比較結果により、所定速度既出波紋を有して所定速度のクロックを発生するフェーズロックループの出力を制御する位相比較回路に関する。

例えば、デジタル伝送方式で正しく信号を再生するための同期処理の1つとして、スタッフパルスの挿入・除去により同期を取るスタッフ同期方式が採用されている。

このような場合におけるパルススタッフの送受信側では、バッファメモリ、既出しクロック、書き込みクロックと、位相比較回路、電圧制御回路部(以下VCOと称する)等からなるフェーズ

ロックループ(以下PLLと称する)を用いて、スタッフパルスを挿入・除去し、クロック周波数の変換を行うことにより同期を取っている。

この時のバッファメモリはFIFOのメモリ素子を複数段使用し、シリアルデータを複数のパラレルデータに変換して書き込み、パラレルデータをシリアルデータに変換しながら既出すことによりクロック周波数の変換を行っている。

かかる変換がバッファメモリの段数の変異やクロックのデューティ比等に無関係に行われ、しかも変換時に発生するジッタを少なくすることが必要である。

#### (従来の技術)

第4図は従来の例を説明するブロック図、第5図は従来の例における処理状態を説明する図、第6図は他の従来の例を説明するブロック図、第7図は他の従来の例における処理状態を説明する図をそれぞれ示す。

第4図に示す従来の例はメモリ1の段数を5ビッ

トにした時の例であり、この時は位相比較回路4で比較するクロック位相として3番目の書き込みクロック43(=40/3)と、1番目の既出しクロック41とした場合である。

書き込みクロック発生回路3は書き込みデータ0と同期して送られて来る書き込み基準クロック0からn個の書き込みクロック41〜45を発生する。

この各回の書き込みクロック41〜45はメモリ1の0段(ビット)にそれぞれ対応したものとなる。又、既出しクロック発生回路5から発生する各回の既出しクロック41〜45も同時にメモリ1の0段(ビット)にそれぞれ対応したものとなる。

メモリ1はシリアルで入力する書き込みデータの書き込みクロック41〜45により各段(ビット)をパラレルに変換して書き込み保持し、既出しクロック41〜45にて既出す場合にはシリアルに変換して既出す。

クロック発生回路5は既出しクロック発生回路3及び位相比較回路4とで形成したデジタルP

LL(以下DPLLと称する)をなし、位相比較回路4からの比較結果信号を直進成分にして、その大小直進成分にて自定周波数既出波紋を生成、これを既出し基準クロック0として発生している。

尚、DPLLの基本的構成としては、デジタル変換した入力信号をデジタル電圧制御回路部(以下VCOと称する)から出力する信号と位相比較し、その比較結果はデジタルフィルタを介してデジタルVCOの制御信号として印加され、一方ではアナログ変換して出力信号として取り出すように構成されている。

第5図(A)は書き込みデータの0をパラレルに変換して書き込む状態を示す。即ち、5ビットのデータA〜Eをメモリ1へ書き込む場合、書き込みクロック41にてデータAを書き込み、書き込みクロック45にてデータEを書き込む。

この時のメモリ1を既出す位相としては、書き込みクロック41〜45の中間の位相位置から既出しを開始した方がクロックの位相ばらつきに対して一番安全である。

即ち、メモリ1に対する書き込みデータのタイミングと読出しタイミングとは非同期でしかも速度も異なるため、メモリ1へデータを書き込み開始したと同時に読出しを開始すると、読データを読出す可能性があり、又メモリ1へデータの書き込みが完了してから読出しを開始すると読出時間が長くなる等の問題が発生する。

従って、上述の3ビットのデータA～Eの場合は、書き込みクロック13にてデータCが書き込み終了した時点からデータAの読出しを開始するように設定されている。

従って、位相比較回路4は書き込みクロック13と読出しクロック11との位相比較を行い、位相が一致した場合にその比較結果出力は「1」レベルで出力せず、ずれ量に応じて「H」又は「L」信号を出力する。

クロック発生回路5はこの比較結果信号④により、読出し基準クロック⑥の周波数を制御する。即ち、第5図(B)に示すように比較結果信号④が「H」の時はクロック発生回路5は周波数を

高くし、「L」の時は周波数を低くするように制御した読出し基準クロック⑥を発生する。

従って、第5図(C)に示すように、書き込みクロック13を中心に読出しクロック11の位相は周期的に前後に動くことになる。

上述の第4図に示す従来例において、例えばメモリ1の容量を5ビットから10ビットに変更し、位相比較回路4での位相比較位置を5ビットの時と同じ書き込みクロック13と読出しクロック11とで行うと、第5図(D)に示すように読出しクロック11の位相の余剰にばらつきが生じることになる。

即ち、余剰量が1ビットで読出量が8ビットとばらつき、このばらつきの幅によってはデータ読出しが読データを読出す可能性があるため、位相比較位置を1ビットにすることにより余剰の余剰を均一にする必要がある。

一方、第6図に示す他の従来例では書き込みクロック11と読出しクロック11との位相比較する2つのフリップフロップ回路(以下F、F2

図と称する)51、52を有し、F、F2図51、52の出力を逐時的論理和する排他的論理和回路(以下E-O図53と称する)53とを備えて構成されている。

又、この時のクロック発生回路7を構成するF1は、第7図に示すような位相比較結果信号④の「H」の時間と「L」の時間の時間差を積分し、この差の和がある値に達した時に読出し基準クロック⑥の周波数を高くなるように制御するものである。

従って、第8図に示す従来例では、メモリ容量を変更しても比較する位相位置を変更する必要がなく、しかも基準となるクロックのデューティファクタにも無関係になる。

#### (読出しが解決しようとする問題)

上述のように第4図に示す従来例では、メモリ容量を変更する度に比較する位相位置を変更する必要があり、しかも書き込みクロックに対する読出しクロックの位置が中心位置に設定するためには、

比較する書き込みクロックのデューティファクタが1/2である必要がある。

一方、第6図に示す従来例ではメモリ容量を変更しても比較する位相位置を変更する必要はなく、しかも基準となるクロックのデューティファクタにも無関係になるが、位相比較結果信号④の立ち上がりエッジが読出し基準クロック⑥に対して非同期であるため、クロック発生回路7に対して誤制御をかける可能性があった。

本発明は、メモリ容量にも基準となるクロックのデューティファクタにも無関係でしかもクロック発生回路7に対して誤制御をかけることがない位相比較回路を実現することを目的とする。

#### (問題を解決するための手段)

第1図は本発明の原理を説明するブロック図を示す。

第1図に示す本発明の原理ブロック図中の1は記憶装置のメモリに書き込まれている入力データを読出すためにメモリ段に対応して複数個の読出しレ

クロック1-φを発生する送出しクロック発生手段10からの第1組の送出しクロックφ1と、入力データと同一速度を有するクロックに基づき、入力データをメモリ的一段目へ書き込むための第1組の書き込みクロックφ1との位相を比較する比較手段であり、

11は所定自走発振周波数を有するフーズロックフループからなるクロック発生手段70から出力する送出しクロック発生手段30をアクセスするための所定速度の送出し基準信号φ0にて比較手段11から出力する比較結果出力を打ち直す同相手段であり、

かかる手段を設けることにより本問題を解決するための手段とする。

#### (作 用)

1段目のメモリに対してデータを書き込むためのタイミングである1組目の書き込みクロックφ1と1段目のメモリからデータを读出するためのタイミングである1組目の送出しクロックφ1とを比較

手段11にて位相比較し、その比較結果出力を同相手段32にてクロック発生手段70から出力する送出しクロック発生手段30をアクセスするための送出し基準クロックのタイミングで打ち直すことにより、メモリ段数にも基準となるクロックのデューティファクタにも無関係でしかもクロック発生手段70に対して誤制御をかけることがなく、書き込みクロックに対する送出しクロックの位相比較位置を常に一定位置で確保することが可能となる。

#### (実施例)

以下本発明の要旨を第1図、第3図に示す実施例により具体的に説明する。

第1図は本発明の実施例を説明するブロック図、第3図は本発明の実施例における処理状況を説明する図をそれぞれ示す。尚、全図を通じて同一符号は同一対象物を示す。

第1図に示す本発明の位相比較手段11は以下に説明する機能ブロックを備える位相比較器11

φ0の実施例であり、第1図で説明した比較手段11として、第4図で説明した1つのF、F回路61、62とR-OR回路53からなる比較器11。

同相手段12として、インバータ回路83と2つのF、F回路82、84からなる同相器12から構成した例である。

又、本実施例のメモリは第4図で説明したのと同じ内容する有するメモリ段数が5ビットの場合であり、その時の書き込みクロックφ1-φ5と送出しクロックφ1-φ5の位相比較は、第1組目である書き込みクロックφ1と送出しクロックφ1で行うものとする。

この2つのクロックφ1を比較する比較器11の出力は、第3図(C)の上段の信号(位相比較のφで示す)となり、これを同相器12で送出し基準クロック(信号)φ0で打ち直し同相処理した信号が、第3図(C)の下段に示す信号(同相位相比較出力φで示す)である。

本実施例のクロック発生回路70は第7図で

説明したのと同一の内容を有するもので、同相器12の出力のφRの時間とφLの時間差を積分し、この差の和がある値に達した時に送出し基準クロック(信号)φ0の周波数を調整を行うものである。

尚、この同相器12の出力φは送出し基準クロック(信号)φ0と同相しているため、クロック発生回路70に対して誤制御をかけることが防止される。

#### (発明の効果)

以上のような本発明によれば、メモリ段数にも基準となるクロックのデューティファクタにも無関係でしかも送出しクロックを作成するための基準信号を発生するクロック発生回路に対しても誤制御をかけることがない位相比較回路を実現することが出来る。

#### 4. 図面の簡単な説明

第1図は本発明の原理を説明するブロック図、

第2図は本発明の実施例を説明するブロック図、  
第3図は本発明の実施例における処理状況を説明  
する図、

81は比較手段、  
810は比較部、  
をそれぞれ示す。

第4図は従来例を説明するブロック図、  
第5図は従来例における処理状況を説明する図、  
第6図は他の従来例を説明するブロック図、  
第7図は他の従来例における処理状況を説明する  
図、

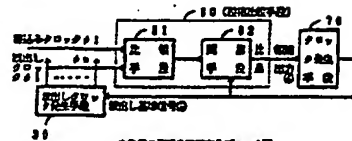
代理人 弁理士 井野東一



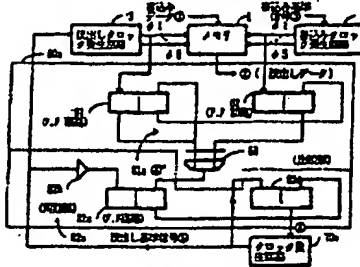
それぞれ示す。

図において、

- 1はメモリ、
- 2は読み込みクロック発生回路、
- 3は読み出しクロック発生回路、
- 4、5は位相比較回路、
- 5、7、70はクロック発生回路、
- 30は読み出しクロック発生手段、
- 61、62、63、63a、63bはP、F回路、
- 70はクロック発生手段、
- 80は位相比較手段、
- 800は位相比較部、



本発明の実施例を説明するブロック図  
第2図



本発明の実施例を説明するブロック図  
第3図



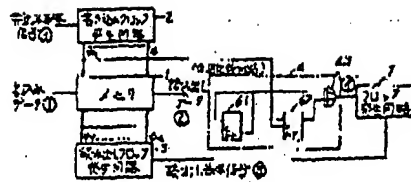


図 6  
モータの制御回路

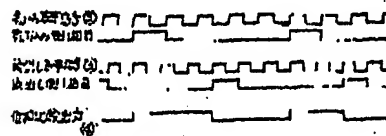


図 7  
モータの動作タイミング図



(19) Japanese Patent Office (JP)

(11) Patent Application Publication

(12) Laid-Open Patent Publication (A) Hei 1-284132

(51) Int. Cl. <sup>4</sup>	Identification Code	Office File No.	(43) Publication: November 15, 1989
H04L 7/08		A-6914-5K	
H03L 7/08		Z-8731-5J	
H04J 3/07		6914-5K	Examination request: Not requested

No. of claims: 1

(Total of 7 pages)

(54) Title of the Invention: Phase comparison circuit

(21) Patent Application: Sho 63-114205

(22) Application: May 11, 1988

(72) Inventor: Atsushi Kosugi

c/o Fujitsu Digital Technology Co., Ltd.  
3-28-1 Joutou, Koyama-shi, Tochigi

(72) Inventor: Takahiro Furukawa

c/o Fujitsu Digital Technology Co., Ltd.  
3-28-1 Joutou, Koyama-shi, Tochigi

(72) Inventor: Akira Nozawa

c/o Fujitsu Digital Technology Co., Ltd.  
3-28-1 Joutou, Koyama-shi, Tochigi

(71) Applicant: Fujitsu Co., Ltd.

1015 Odanaka, Nakahara-ku, Kawasaki-shi, Kanagawa

(74) Agent: Patent agent Sadakazu Igata

#### Specifications

##### 1. Title of the Invention

Phase comparison circuit

##### 2. Claims

A phase comparison circuit comprising: a comparison means (31) which compares the phase of a read

CA\WINDOW\TEMP\HEI 1-284132.DOC

SS0022002097

clock (M) of a first phase – generated by a read clock generating means (30) which generates read clocks of a plurality of phases (M1 through Mn) corresponding to a plurality of memory stages so as to read the input data written in a memory comprising memory elements with the aforesaid plurality of stages – against the phase of write clock M of a first phase for writing input data to the first stage of the aforesaid memory based on a clock with the same rate as the aforesaid input data; and a synchronizing means which – using the timing of the read reference signal (S) with a prescribed rate which is output by the clock generating means (70) comprising a phase locked loop with a prescribed free-running oscillation frequency and used for accessing the read clock generating means (30) – restrikes the comparison result that is output by the aforesaid comparison means (81).

### 3. Detailed description of the invention

#### Overview

[The present invention] relates to a phase comparison circuit that uses the result of the comparison of the phases of a data write clock and a read clock to control the output of a phase locked loop with a predetermined free-running oscillation frequency and which generates a clock with a predetermined rate.

The object [of the present invention] is to realize a phase comparison circuit which is independent of the number of memory stages or the duty factor of a reference clock and which does not erroneously control a clock generating circuit.

[The present invention] comprise: a comparison means which compares the phase of a read clock of a first phase – generated by a read clock generating means which generates read clocks of a plurality of phases corresponding to a plurality of memory stages so as to read the input data written in a memory comprising memory elements with the aforesaid plurality of stages – against the phase of a write clock of a first phase for writing input data to the first stage of the aforesaid memory based on a clock with the same rate as the aforesaid input data; and a synchronizing means which – using the timing of a read reference signal with a prescribed rate which is output by the clock generating means comprising a phase locked loop with a prescribed free-running

oscillation frequency and used for accessing the read clock generating means – restrikes the comparison result that is output by the aforesaid comparison means.

#### Field of Industrial Use

The present invention relates to a phase comparison circuit that uses the result of the comparison of the phases of a data write clock and a read clock to control the output of a phase locked loop with a predetermined free-running oscillation frequency and which generates a clock with a predetermined rate.

An example of a synchronization process for correctly reproducing a signal in a digital transmission method is the stuff synchronization method where synchronization is achieved by the insertion and removal of stuff pulses.

With this method, synchronization is achieved at the side that sends and receives stuff pulses by converting the clock frequency by the insertion and removal of stuff pulses using a phase locked loop (hereinafter "PLL") comprising, among others, a buffer memory, read clock, write clock, phase comparison circuit and a voltage control oscillator circuit (hereinafter "VCO").

In this arrangement, the buffer memory uses a plurality of stages of FIFO memory elements to convert the clock frequency by converting serial data into a plurality of parallel data for data writing and by converting parallel data into serial data for data reading.

It is necessary for the said conversions to be done independently of changes in the number of stages in the buffer memory or the duty ratio of the clock and to minimize the jitter that occurs during the conversion.

#### Prior Art

Fig. 4 is a block diagram that illustrates the prior art. Fig. 5 depicts the processes of the prior art. Fig. 6 is a block diagram that illustrates a different prior art. Fig. 7 depicts the processes of a different prior art.

The prior art shown in Fig. 4 uses memory 1 whose number of stages is five bits. In this example, the clock phases that are being compared by the phase comparison circuit 4 are write clock  $N/3$  ( $= Nn/2$ ) of a third phase and read clock  $N/1$  of a first phase.

The write clock generator circuit 2 generates clocks  $M1$  through  $Mn$  with  $n$ -phases from the write reference clock  $\Phi$  which it receives in synchrony with the write data  $\Phi$ .

The write clock  $M1$  through  $Mn$  of the respective phase corresponds to stage  $n$  (bit) of memory 1. Similarly, the read clock  $M1$  through  $Mn$  of the respective phase which are generated by the read clock generator circuit 3 corresponds to stage  $n$  (bits) of memory 1.

Memory 1 receives write data  $\Phi$  as serial data and uses the write clocks  $M1$  through  $Mn$  to convert it to a parallel data by separating into individual stages (bits) which it writes and holds. When the data is read using the read clocks  $M1$  through  $Mn$ , the data is converted to and output as serial data.

The read clock generator circuit 3, the phase comparison circuit 4 and the clock generating circuit 5 form a digital PLL (hereinafter "DPLL"). The comparison result signal from the phase comparison circuit 4 is used as the direct current component which is used to change the free-running oscillation frequency which is then output as the read reference clock  $\Phi$ .

The basic construction of the DPLL is such that the phase of an input signal that has been converted to a digital signal is compared against the phase of a signal that is output by a digital voltage control oscillator (hereinafter "VCO"). The result of the comparison is applied as a control signal to a digital VCO via a digital filter while the data is converted to an analog data for outputting as an output signal.

Fig. 5(A) shows how write data  $\Phi$  is converted to parallel [data] and written. To explain, to write 5 bits of data A through E to memory 1, data A is written using the write clock  $M1$ , and data E is written using the write clock  $M5$ .

In terms of the phase for reading from memory 1, the greatest margin of safest against variability in clock phases is provided by starting the read operation at a phase position that is at the middle of the write clocks  $M1$  through  $Mn$ .

To explain, since the timing for writing data to and the timing for reading data from memory 1 are asynchronous and the rates are moreover different, if the data write operation to memory 1 is begun

simultaneously with the read operation, there is a possibility that old data may be read. Also if the read operation is begun after the data write operation to memory 1 is completed, problems such as the data processing time becoming lengthy are created.

Therefore, in the aforesaid example of 5 bits of data, data A through E, the reading of data A is started when the write operation of data C using write clock  $N3$  is completed.

The phase comparison circuit 4 compares the phases of the write clock  $N3$  and the read clock  $M1$ , and when the phases match, the level of the output showing the result of the comparison is "0" and no output is made; depending on the amount of difference an "H" or "L" signal is output.

The clock generating circuit 5 uses the comparison result signal  $\textcircled{O}'$  to control the period of the read reference clock  $\textcircled{O}$ . To explain, as Fig. 5(B) shows, the said clock generating circuit generates a read reference clock  $\textcircled{O}$  whose period is shortened when the comparison result signal  $\textcircled{O}'$  is "H," and lengthens the period when the result is "L."

This means that the phase of read clock  $M1$  moves back and forth along a time axis about the center of the write clock  $N3$  as shown in Fig. 5(C).

In the aforementioned example of the prior art shown in Fig. 4, if the number of stages in memory 1 is changed from 5 bits to 10 bits and the phase comparison position in the phase comparison circuit 4 is kept the same as for the 5-bit case, that is, using write clock  $N3$  and read clock  $M1$ , a variability is created in the pre- and post-margin available in read clock  $M1$  as shown in Fig. 5(D).

To elaborate, the available pre-margin is 2 bits and the available post-margin is 8 bits. Depending on the magnitude of the variability, it is possible that the data read operation results in reading the old data. It is therefore necessary to set the phase comparison position at the 6<sup>th</sup> phase so that the pre- and post-margin are uniform.

Another example of the prior art shown in Fig. 6 comprises two flip-flop circuits (hereinafter "F.F. circuits") 61 and 62 which compare the phases of the write clock  $M1$  and the read clock  $M1$  and exclusive OR

logic circuit (hereinafter "E-OR circuit") 63 which performs an exclusive OR operation on the outputs of the F.F. circuits 61 and 62.

The PLL that constitute the clock generating circuit 7 in this example integrates the differences in time between the time when the phase comparison result signal  $\Phi$  is "H" and the time when it is "L." When the sum of the differences reaches a certain value, the period of the read reference clock  $\Phi$  is controlled and changed.

Therefore, with the example of the prior art shown in Fig. 6, there is no need to change the phase position where the comparison is made even if the number of memory stages is changed. Moreover, the duty factor of the clock that is used as the reference becomes irrelevant.

#### Problems to be Solved by the Invention

As the foregoing shows, with the example of the prior art shown in Fig. 4, it is necessary to change the phase position where the comparison is made whenever the number of memory stages is changed. Moreover, to set the position of the read clock at the center of the write clock, it is necessary for the duty factor of the compared write clock to be 50%.

On the other hand, with the example of the prior art shown in Fig. 6, even though there is no need to change the phase position where the comparison is made when the number of memory stages changes, and even though the duty factor of the clock that is used as the reference is irrelevant, since the rising edge of the phase comparison result signal  $\Phi$  is asynchronous with respect to the read reference clock  $\Phi$ , there is the possibility that clock generator circuit 7 will be erroneously controlled.

The object of the present invention is to provide a phase comparison circuit that is unaffected by the number of memory stages or the duty factor of the reference clock and that will not erroneously control the clock generator circuit.

#### Means for Solving the Problems

Fig. 1 shows a block diagram which is used to explain the principle of the present invention. In Fig. 1 which is a block diagram showing the principle of the present invention, there is provided a read clock generating means 30 which, in order to read the input data written in a memory comprising a plurality of stages,

generates clocks  $M1$  through  $Mb$  of a plurality of phases corresponding to the memory stages; 81 is a comparison means which compares the read clock  $M1$  of a first phase generated by read clock generating means 30 against the phase of write clock  $M1$  of a first phase for writing input data to the first stage memory based on a clock with the same rate as the input data; and 82 is a synchronizing means which, using the timing of the read reference signal  $\Phi$ , restrikes the comparison result that is output by the comparison means 81 where the said read reference signal, possessing a prescribed rate and output by the clock generating means 70 comprising a phase locked loop with a prescribed free-running oscillation frequency, is used for accessing the read clock generating means 30. The aforesaid means are provided to solve the aforesaid problems.

#### Function

Comparison means 81 compares the phase of write clock  $M1$  with a first phase used as a timing for writing data to a memory of the first stage against the phase of read clock  $M1$  with a first phase used as a timing for writing data to a memory of the first stage. The comparison result that is output is restriking by synchronizing means 82 using the timing of the read reference clock which is output by the clock generating means 70 and used for accessing the read clock generating means 30. This allows the comparison position of the phase of the read clock against the phase of the write clock to be always kept at a fixed position regardless of the memory stage number or the duty factor of the reference clock and without erroneously controlling the clock generating means 70.

#### Embodiments

The gist of the present invention is described hereinbelow in specific terms using the embodiments shown in Fig. 2 and Fig. 3.

Fig. 2 is a block diagram depicting an embodiment of the present invention. Fig. 3 is used for explaining the processes performed in an embodiment of the present invention. The same identification numbers are used for the same objects in all figures.

The phase comparison circuit 80a of the present invention shown in Fig. 2 is an embodiment of the

phase comparison means 80 and comprises the functional blocks described hereinbelow. As the comparison means 81 described in Fig. 1, there is provided the comparison section 81a comprising two flip-flop circuits 61 and 62 described with reference to Fig. 6 and E-OR circuit 63; and as the synchronizing means 82, there is provided the synchronizing section 82a comprising inverter circuit 82b and two flip-flop circuits 82c and 82d.

In the present embodiment, memory 1 has the same construction as described in Fig. 4. In other words, the number of memory stages is 5 bits. The comparison of the phase of the write clocks  $M1$  through  $M5$  and the phase of the read clocks  $M1$  through  $M5$  is done using the write clock  $M1$  and read clock  $M1$  which are both the first phases.

The output of the comparison section 81a which compares the said two  $M1$  clocks is the top signal shown in Fig. 3(c) (identified as phase comparison  $\oplus$ ) and the result of restricting the said signal in the synchronizing section 82a using the read reference clock (signal)  $\ominus$  is the bottom signal shown in Fig. 3(e) (identified as synchronized phase comparison output  $\oplus$ ).

The clock generating circuit 70a of the present invention has the same construction as that explained with reference to Fig. 7. The clock generating circuit 70a integrates the difference between the time when the output of the synchronizing section 82a is "high" and the time when it is "low," and when the sum of the differences reaches a certain value, the said clock generating circuit controls the read reference clock (signal)  $\ominus$  by changing its period.

When this is done, since the output  $\oplus$  of the synchronizing section 82a is in synchrony with the read reference clock (signal)  $\ominus$ , erroneously controlling the clock generating circuit 70a is avoided.

#### Effect of the Invention

As the foregoing shows, the present invention realizes a phase comparison circuit that is unaffected by the number of memory stages or the duty factor of a reference clock and moreover will not erroneously control a clock generator circuit which generates a reference clock that is used for creating the read clocks.

#### 4. Brief Explanation of the Figures



Fig. 1 is a block diagram used to explain the principle of the present invention. Fig. 2 is a block diagram used to explain an embodiment of the present invention. Fig. 3 is a figure used to explain the processes performed in the embodiment of the present invention. Fig. 4 is a block diagram used to explain a prior art. Fig. 5 is a figure used to explain the processes performed in the prior art. Fig. 6 is a block diagram used to explain a different prior art. Fig. 7 is a figure used to explain the processes performed in the different prior art.

In the respective figures, 1 is a memory; 2 is a write clock generator circuit; 3 is a read clock generator circuit; 4 and 6 are phase comparison circuits; 5, 7, and 70a are clock generator circuits; 30 is a read clock generating means; 61, 62, 82c and 82d are F.F. circuits; 70 is a clock generating means; 80 is a phase comparison means; 80a is a phase comparison section; 81 is a comparison means; and 81a is a comparison section.

Agent: Patent agent Sadakazu Igeta [Seal of Patent Agent Sadakazu Igeta]

Fig. 1. Block Diagram used to explain the principle of the present invention

30: Read clock generating means  
 70: Clock generating means  
 80: Phase comparison means  
 81: Comparison means  
 82: Synchronization means  
 Write clock M  
 Read clock M  
 Comparison result output ⊕  
 Read reference signal ⊙

Fig. 2 Block diagram used to explain an embodiment of the present invention

- 1: Memory
- 2: Write clock generating circuit
- 3: Read clock generating circuit
- 61: Flip-flop circuit
- 62: Flip-flop circuit
- 70a: Clock generating circuit
- 81a: Comparison section
- 82a: Synchronizing section
- Write data ①
- Read data ②
- Write reference signal ③
- Read reference signal ④

Fig. 3 Figure used to explain the processes performed in an embodiment of the present invention

- (A) Write reference signal ③
  - First phase
- (B) Read reference signal ④
  - First phase
- (C) Phase comparison ⑤
  - Synchronized phase comparison output ⑥

Fig. 4 Block diagram used to explain a prior art

- Write data ①
- Read data ②
- Write reference signal ③ (clock)
- Read reference clock ④
- 1: Memory
- 2: Write clock generator circuit
- 3: Read clock generator circuit
- 4: Phase comparison circuit
- 5: Clock generator circuit

Fig. 5 Figure used to explain the processes performed in a prior art

- (A) Write reference signal ③
  - Write side First phase
  - Write side Third phase
  - Write data
  - First phase
- (B) Read reference signal ④
  - Read side First phase
  - Phase comparison output ④
- (C) Write side First phase
  - Write side Third phase
  - Read side First phase
- (D) Write side First phase

Write side      Third phase  
Read side      First phase  
Pre-margin: 2 bits; post-margin: 8 bits

Fig. 6 Block diagram used to explain a different prior art

Write data ①  
Read data ②  
Write reference signal ③  
Read reference clock ④  
1: Memory  
2: Write clock generator circuit  
3: Read clock generator circuit  
6: Phase comparison circuit  
7: Clock generator circuit

Fig. 7 Figure used to explain the processes performed in the different prior art

Write reference signal ①  
Write side First phase  
Read reference signal ②  
Read side First phase  
Phase comparison output ④'

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**